

...
2. Patent Law Article Number 29 Item Number 2

The essentials of Claims 1-6 are the offering of technology with installation of semiconductor chips on a mounting substrate which connects via 1st and 2nd patterns by a through-hole being formed in an insulating film for a semiconductor package with reduced thickness.

However, this is technology which is already previously known and can be easily invented on the level of a person having common knowledge in the technological field of the present application based on the combining of technology with electrical connection of patterns on the upper and lower parts of a substrate with a semiconductor chip connected through a via[-hole] as in the Publication of Japanese Laid-Open Patent No. H10-4151 (1.6.1988) and the technology with installation of a semiconductor chip on a substrate with a via-hole with establishment of a pattern on the upper and lower part as in the Publication of Japanese Laid-Open Patent H11-54646 (2.26.1999).

...

PATENT ABSTRACTS OF JAPAN

(11) Publication number : 11-054646
 (43) Date of publication of application : 26. 02. 1999

(51) Int. Cl. H01L 23/12

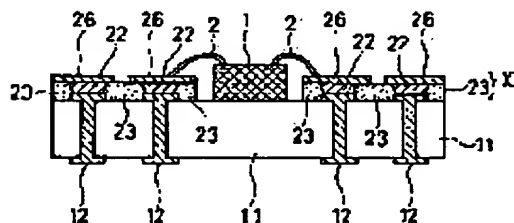
(21) Application number : 09-206248 (71) Applicant : TOSHIBA CORP
 (22) Date of filing : 31. 07. 1997 (72) Inventor : YANO KEIICHI
 IYOGI YASUSHI
 ASAI HIRONORI
 IWASE NOBUO

(54) PACKAGE FOR SEMICONDUCTOR ELEMENT AND PRODUCTION THEREOF

(57) Abstract:

PROBLEM TO BE SOLVED: To suppress deformation of a resin board by placing a resin board comprising an upper wiring layer above bumps penetrating a resin film and providing a via hole metal to penetrate a ceramic substrate.

SOLUTION: A resin board 10 provided with an upper wiring layer 26 of a copper foil only on one side thereof is bonded to a ceramic substrate 11 having a via hole metal 12. The upper wiring layer 26 on the surface of the resin board 10 is connected electrically with the via hole metal 12 through silver bumps 22 penetrating a liquid crystal polymer 23. A semiconductor chip 1 is mounted on a central window part of the resin board 10 while touching the ceramic substrate 11 directly. According to the structure, the upper wiring layer 26 facing the ceramic substrate 11 through the resin board 10 can be protected against troubles, e.g. deformation, open circuits or short-circuiting, even if the resin board 10 is made thin.



LEGAL STATUS

[Date of request for examination]
 [Date of sending the examiner's decision of rejection]
 [Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's
decision of rejection]

[Date of requesting appeal against
examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998, 2003 Japan Patent Office

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平11-54646

(43) 公開日 平成11年(1999) 2月26日

(51) Int.Cl.⁸

H 0 1 L 23/12

識別記号

F I

H 0 1 L 23/12

N

審査請求 未請求 請求項の数 5 O L (全 7 頁)

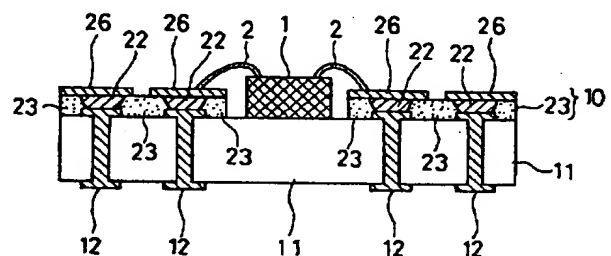
| | | | |
|-----------|------------------|----------|---|
| (21) 出願番号 | 特願平9-206248 | (71) 出願人 | 000003078 株式会社東芝 神奈川県川崎市幸区堀川町72番地 |
| (22) 出願日 | 平成9年(1997) 7月31日 | (72) 発明者 | 矢野 圭一 神奈川県横浜市鶴見区末広町2丁目4番地 株式会社東芝京浜事業所内 |
| | | (72) 発明者 | 五代 健 靖 神奈川県横浜市鶴見区末広町2丁目4番地 株式会社東芝京浜事業所内 |
| | | (72) 発明者 | 浅井 博紀 神奈川県横浜市鶴見区末広町2丁目4番地 株式会社東芝京浜事業所内 |
| | | (74) 代理人 | 弁理士 三好 秀和 (外3名) 最終頁に続く |

(54) 【発明の名称】 半導体素子用パッケージおよびその製造方法

(57) 【要約】

【課題】 樹脂フィルムを薄くしても変形の少なく、多層配線および微細配線が可能な半導体素子用パッケージを提供する。

【解決手段】 樹脂基板10とセラミックス基板11とを接合させた樹脂・セラミックス複合パッケージであって、片面にのみ配線26を形成した樹脂基板10を、バイアホール金属12を有するセラミックス基板11に接合させて構成している。



【特許請求の範囲】

【請求項1】 樹脂フィルム層、該樹脂フィルム層を貫通する突起バンプ、および該突起バンプの上部に設けられた上部配線層からなる樹脂基板と、貫通するように設けられたバイアホール金属を有するセラミックス基板とからなり、該バイアホール金属と前記突起バンプとが直接互いに接していることを特徴とする半導体素子用パッケージ。

【請求項2】 前記樹脂フィルム層と前記セラミックス基板の間にさらに下部配線層が設けられたことを特徴とする請求項1記載の半導体素子用パッケージ。

【請求項3】 前記セラミックス基板は、アルミナ、窒化アルミニウム、窒化珪素、ムライト、ガラスセラミックスのいずれかであることを特徴とする請求項1記載の半導体素子用パッケージ。

【請求項4】 セラミックス基板にバイアホール金属を設ける工程と、金属薄膜に突起バンプを設ける工程と、該突起バンプが樹脂フィルムを貫通することにより、前記バイアホール金属と前記突起バンプとを直接互いに接触させ前記セラミックス基板上に樹脂フィルムを接着する工程とを少なくとも含むことを特徴とする半導体素子用パッケージの製造方法。

【請求項5】 前記セラミックス基板上に、前記セラミックス基板との同時焼成を用いた厚膜技術、あるいは薄膜技術により配線層を形成する工程をさらに有することを特徴する請求項4記載の半導体素子用パッケージの製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は多端子・狭ピッチの半導体素子用パッケージに係り、特にセラミックス基板と樹脂基板または樹脂フィルムとを接着・接合した半導体用複合パッケージに関する。

【0002】

【従来の技術】LSI等の半導体チップが実装されるセラミックス、樹脂、金属などからなる各種のパッケージは、LSIの高集積化、高速化、大消費電力化、大型チップ化により、高密度化、高速対応化、高放熱化の傾向にある。また、これらの半導体チップの用途も、ワークステーション、パーソナルコンピュータ、コンピュータ等の産業用から、携帯用機器、プリンター、コピー、カメラ、テレビ、ビデオ等の電子機器まで多くの範囲に広がり、半導体の性能自体も向上している。

【0003】高性能、高集積密度のLSIチップをを搭載するパッケージには、半導体チップと多端子・狭ピッチで接続ができること、配線密度が高いこと、放熱性がよいこと、高速の信号を扱うことができること、パッケージの入出力端子を多端子・狭ピッチ化する事が可能であることなどが求められている。さらに、これらの条件

を満足する高性能なパッケージを、簡単な工程でかつ高信頼性の下で安価に作成する技術が必要になっている。

【0004】半導体素子を高機能化するためには多ビット化、大容量化、高速化の三つが柱となる。この中で特に高速化の要求はパッケージに大きな影響を与えてきた。デバイスへの入出力の端子数（ピン数）を増加させ、データを並行処理することから高速化が図られたからである。このため、パッケージにおいても多端子化（多ピン化）は一つの命題となってきた。また、携帯機器の小型化や、高密度実装のためにパッケージには小型化も要求されている。特にこれから大きく伸びるマルチメディアの分野、アミューズメントや通信機器などにおいてこの要求は大きい。多ピン化と小型化、この二つのニーズを満たすため様々なパッケージが開発されている。多端子化した半導体チップとの接続技術を有効に機能させる上では、パッケージ側も狭ピッチ・多端子のインナーリード部分が必要であると共に、プリント基板等の搭載ボードとパッケージとの接続も、多端子・狭ピッチにする事が必要になっている。また、前述したように、LSIの高速化によりパッケージも高速信号を扱う必要があるため、電気特性の考慮も必要となる。

【0005】パッケージの多端子・狭ピッチ化を満足させるために、パッケージ構造は従来のピン挿入型やQFP（クウォッド・フラッド・パッケージ；Quad Flat Package）等の表面実装型から、BGA（ボール・グリッド・アレイ；Ball Grid Array）パッケージに移行している。表面実装型パッケージでは、多端子・狭ピッチ化を行うためには端子の精度、リードに起因するインダクタンス、リードそのものの強度あるいは実装時の精度等の点から限界が見えてきているからである。また、表面実装型パッケージは多端子化にともない大型化せざるを得ない欠点を有している。

【0006】BGAは、従来のパッケージに比べ、インダクタンスを低減させ、パッケージ本体の多層配線構造を高速対応させる事が可能であり、大型コンピュータや、パーソナルコンピュータ、携帯機器等の民生品へと使用用途が広がっている。BGAは、パッケージ入出力端子として半田からなる突起接続体（半田ボール）を用いたパッケージ構造体を有し、上述したようなピンやリードに起因するインダクタンスによる高速信号の反射遅延等を改善するが可能である。また、半田ボールによる接続距離の短縮化に加えて、半田ボール形成による狭ピッチ・多端子化が容易となり、BGAは今後のLSIパッケージとして有望である。更に、この半田ボール形成による狭ピッチ・多端子化は、パッケージサイズそのものを縮小化し、プリント基板等への実装密度の向上、配線の寄生容量、インダクタンス、抵抗などの低減による電気特性の向上、パッケージの小型化による高周波特性の改善等が期待できる。

【0007】一方、パッケージの放熱面から見ると、L

SIの高集積密度化と高速化にともない、消費電力が向上し、発熱量は年々増加する傾向にある。しかもコンピュータにおいては、本体の小型化がかすむ反面、ボードの枚数は増加する傾向にあり、ボード間の隙間も次第に狭くなってきている。このようなことから、パッケージ自体も薄型で、放熱性に優れた構造や材料が必要となってきた。薄型で、狭いピッチ対応のパッケージについては、リソグラフィ技術を使った樹脂基板を用いたパッケージが有力である。液晶ポリマー等の樹脂基板については、厚みが50ミクロン程度のものの両面に銅箔を張り合わせ、リソグラフィ技術により、狭ピッチ配線を可能にしている。しかし、この様な樹脂基板は表面の銅箔と裏面の銅箔との電気的コンタクトを得るためにサブトラクティブ法、アディティブ法などのスルーホールを形成した方法が知られている。また近年ペーストなどをもちいて銅箔の表面に銀等を用いた突起バンプを形成し、熱および圧力により突起バンプを樹脂フィルムを貫通させ、突起バンプが層間の電気的パスとなり、表面の銅箔と裏側の銅箔との電気的接続を行う方法がとられるようになってきている。

【0008】

【発明が解決しようとする課題】しかし、上述したような、サブトラクティブ法、アディティブ法、ペーストによる樹脂フィルム貫通法などは、樹脂フィルムの厚みが厚い場合には剛性が高いためハンドリングが容易であるが、樹脂フィルムの厚みが50 μ m程度の薄いものでは、容易に変形してしまい、配線の切断が生じてしまう問題がある。概して、厚さの20 μ mから200 μ mの比較的薄い樹脂基板においては、薄い樹脂基板どうしの電気的接続を必要とする積層は難しい。たとえば、上記の熱および圧力により突起バンプを樹脂フィルムを貫通させ、突起バンプを層間の電気的パスとする方法においては、樹脂フィルムの厚みが薄くないと突起バンプが樹脂フィルムを突き破らず電気的接続が得られなくなる。したがってこの場合の樹脂基板の厚さは両面の銅箔を含めても100 μ m程度である。この様な厚さの薄い樹脂フィルムを用いて樹脂基板を多層化した場合、使用する部材の堅さの違いによる影響で、積層後の樹脂基板の平坦性が悪くなる。しかも空洞、内部配線切断などによる上下での層間の電気的接続が得られなくなる。良好な樹脂基板を構成するためには、各構成部材の堅さの関係は、突起バンプの堅さ>配線に用いる銅箔の堅さ>>樹脂フィルムの堅さとなる。この堅さの違いにより、内部ヴィアフィル(突起バンプ)や銅箔(配線層)を含んだ薄い樹脂フィルムどうしの接着、接合においては、突起バンプおよび銅箔が接着する相手となる樹脂フィルム中にめり込む。この結果、樹脂基板の表面の平坦性が悪くなるとともに、変形しやすい樹脂フィルムと金属部材である突起バンプおよび銅箔との間で空洞化が発生する。また、樹脂フィルムを挟んで対向した相手側の銅箔(配

線層)を変形または切断させる問題、あるいは相手側の配線層の電気的ショートが発生するという問題が発生してくる。この問題は熱と圧力による機械的接続法に限らない。すなわち接着剤を用いた切着・接合法においても、同様な問題が発生する。

【0009】さらに、サブトラクティブ法、アディティブ法などのプリント配線板に代表される樹脂基板の製作方法においても、樹脂フィルムが薄い場合において、貫通スルーホールの影響や配線層部分の影響を受け、上記同様の不具合が発生する。

【0010】本発明は、この様な課題に対処するべくなされたもので、薄型の樹脂フィルムを用いて変形の少ない樹脂基板を提供するとともに、この樹脂基板による多層配線および微細配線が可能な半導体素子用パッケージを提供することを目的とする。

【0011】本発明の他の目的は樹脂フィルムを薄くしても積層後の平坦性が良好で、かつ突起バンプ部あるいは配線層との間に空洞が生じにくい半導体素子用パッケージを提供することである。

【0012】本発明のさらに他の目的は樹脂フィルムを薄くしても、樹脂フィルムを挟んで対向した相手側の配線層の変形、切断あるいは電気的ショートの発生等の不良を生じさせない半導体素子用パッケージを提供することである。

【0013】本発明のさらに他の目的は特性インピーダンスの制御が容易で、高周波特性のすぐれた半導体素子用パッケージを提供することである。

【0014】本発明のさらに他の目的は熱抵抗が低く、放熱特性にすぐれた半導体素子用パッケージを提供することである。

【0015】本発明のさらに他の目的は樹脂フィルムを薄くしても積層後の平坦性が良好で、かつ突起バンプ部あるいは配線層との間に空洞が生じにくい半導体素子用パッケージの製造方法を提供することである。

【0016】本発明のさらに他の目的は樹脂フィルムを薄くしても、樹脂フィルムを挟んで対向した相手側の配線層の変形、切断あるいは電気的ショートの発生等の不良を生じさせない半導体素子用パッケージの製造方法を提供することである。

【0017】本発明のさらに他の目的は特性インピーダンスの制御が容易で、高周波特性のすぐれた半導体素子用パッケージの製造方法を提供することである。

【0018】本発明のさらに他の目的は熱抵抗が低く、放熱特性にすぐれた半導体素子用パッケージの製造方法を提供することである。

【0019】

【課題を解決するための手段】上記目的を達成するために、本発明者らは鋭意研究を重ねた結果、薄い樹脂フィルムをセラミックス基板に直接接着した構造を採用することにより、剛性が高く、樹脂の変形が生じない半導体

素子用複合パッケージが得られることを見いだした。

【0020】すなわち本発明の第1特徴は、樹脂フィルム層、樹脂フィルム層を貫通する突起バンプ、および突起バンプの上部に設けられた上部配線層からなる樹脂基板と、貫通するように設けられたバイアホール金属を有するセラミックス基板とからなる半導体素子用パッケージであって、このバイアホール金属と突起バンプとが直接互いに接していることである。

【0021】上述した従来技術の両面に銅箔からなる配線層を形成した樹脂基板の種々の問題は対向した銅箔同士が変形することに起因している。したがって、上記本発明の第1の特徴のように樹脂フィルムを挟む片面を剛性のあるセラミックスで構成することにより樹脂フィルムの変形が生じず、結果として電氣的切断およびショートが発生がない複合パッケージが提供できる。また空洞化の発生も起こらない複合パッケージが提供できる。さらに、樹脂フィルム層とセラミックス基板の界面に位置したセラミックス基板の表面上に電源、グランドあるいは信号線等の下部配線層を形成することにより、容易に多層構造が実現できる。

【0022】ここで、セラミックス基板は、アルミナ、窒化アルミニウム、窒化珪素、ムライト、ガラスセラミックスのいずれかであることが好ましい。さらに、これらの2種以上からなる複合セラミックス基板でもよい。

【0023】本発明の第2の特徴は、セラミックス基板にバイアホール金属を設ける工程と；金属薄膜に突起バンプを設ける工程と；突起バンプが樹脂フィルムを貫通することにより、バイアホール金属と突起バンプとを直接互いに接触させセラミックス基板上に樹脂フィルムを接着させる工程とを少なくとも含む半導体素子用パッケージの製造方法であることである。

【0024】上記本発明の第2の特徴によれば、樹脂フィルムを薄くしても積層後の平坦性が良好で、かつ突起バンプ部あるいは配線層との間に空洞が生じにくくできる。また樹脂フィルムを薄くしても、樹脂フィルムを挟んで対向した相手側の配線層の変形、切断あるいは電氣的ショートが発生等の不良を生じさせることもない。

【0025】また、予めセラミックス基板上に、金属粉末とガラス粉末をバインダで練り合わせたペーストをスクリーン印刷により塗布してセラミックス基板との同時焼成により厚さ10～30 μ mの金属層からなる配線層を形成してもよい。この厚膜技術のかわりに、厚さ1～10 μ mの配線層を真空蒸着やスパッタリング等により堆積して、フォトリソグラフィでパターンニングする、いわゆる薄膜技術により形成すれば、微細な配線形成が可能である。

【0026】

【発明の実施の形態】以下図面を参照して、本発明の実施の形態を説明する。図面の記載において同一又は類似の部分には同一又は類似の符号を付している。ただし、

図面は模式的なものであり、厚みと平面寸法との関係、各層の厚みの比率等は現実のものとは異なることに留意すべきである。したがって、具体的な厚みや寸法は以下の説明を参照して判断すべきものである。また図面相互間においても互いの寸法の関係や比率が異なる部分が含まれていることはもちろんである。

【0027】(第1の実施の形態)図1は本発明の第1の実施の形態に係る半導体素子用パッケージの模式的断面図を示す。図1に示すように本発明の第1の実施の形態に係る半導体素子用パッケージは樹脂基板10とセラミックス基板11とを接合させた樹脂・セラミックス複合半導体素子用パッケージであって、片面にのみ銅箔からなる上部配線層26を形成した樹脂基板10を、バイアホール金属12を有するセラミックス基板11に接着させて構成されている。樹脂基板10の表面の上部配線層26とバイアホール金属12とは液晶ポリマー23を貫通して設けられた銀バンプ(突起バンプ)22により互いに電氣的に接続されている。すなわち銀バンプ22とバイアホール金属が直接互いに接している。樹脂基板10の中央に設けられた窓部にはセラミックス基板11に直接接するように半導体チップ1がマウントされている。

【0028】図2を用いて本発明の第1の実施の形態に係る半導体素子用パッケージの製造方法を説明する。

【0029】(イ)12 μ m厚みの銅箔21に、図2(a)に示すようにセラミックス基板と電氣的接続を必要とする部分に、銀エポキシ系導体ペーストを塗布および乾燥し、80 μ m高さからなる銀バンプ(突起バンプ)22を形成する。

【0030】(ロ)次にバイアホール金属12を設けたセラミックス基板11を用意する。そして、図2(b)に示すように銀バンプを形成した銅箔21を銀バンプ22を下にして35 μ m厚みの液晶ポリマー23を介して用意したセラミックス基板11に重ね、所定の温度と圧力をかけ接着する。接着温度はたとえば290℃程度が好ましい。接着圧力は20kgf/cm²程度が好ましい。すると、銅箔21に形成した銀バンプ22は、図2(c)に示すように液晶ポリマー23を貫通し、裏側まで突出することによりセラミックス基板11上に設けたバイアホール金属12と電氣的に接続する。その後、銅箔21の不要部分をエッチングにより除去して上部配線層26を形成する。この場合、上部配線層26に使用する配線ルールとしては配線幅150 μ m、クリアランス70 μ m等が選択できる。すなわち、配線層26に必要な部分のみに所定の配線ルールでレジストをコーティングし、レジストをマスクとして酸化第2鉄により不要な銅箔21の部分をエッチングにより除去すれば上部配線層26がパターンニングされる。さらに半導体チップをマウントするための窓部を樹脂フィルム中に開孔すれば図1に示す本発明の第1の実施の形態に係る複合パッ

ージが完成する。

【0031】得られた複合パッケージは、電氣的にオープンおよびショートのない良好な配線層を有しており、パッケージコーナー間の反りについても $50\mu\text{m}$ と良好であった。また、パッケージの放熱特性についても、消費電力 5W において、熱抵抗 $10^\circ\text{C}/\text{W}$ が得られた。

【0032】ここで、液晶ポリマーとセラミックス基板との接着は熱と圧力により実施したが、接着剤により実施しても接続良好となる。また液晶ポリマー層および銀バンパ（突起バンパ）をそれぞれ2層以上とした多層の樹脂基板としてもよい。この場合は最下層の液晶ポリマーの部分の銀バンパがセラミックス基板のバイアホール金属と直接接するようにすればよい。

【0033】（第2の実施の形態）図3は本発明の第2の実施の形態に係る半導体素子用パッケージの模式的断面図を示す。図3に示すように本発明の第1の実施の形態に係る半導体素子用パッケージは樹脂基板10とセラミックス基板11とを接合させた樹脂・セラミックス複合半導体素子用パッケージであって、片面にのみ銅箔からなる上部配線層26を形成した樹脂基板10を、バイアホール金属12および下部配線層25を有するセラミックス基板11に接着させて構成されている。樹脂基板10の表面の上部配線層26とバイアホール金属12とは液晶ポリマー23を貫通して設けられた銀バンパ（突起バンパ）22により互いに電氣的に接続されている。すなわち銀バンパとバイアホール金属とは互いに直接接している。樹脂基板10の中央に設けられた窓部にはセラミックス基板11に直接接するように半導体チップ1がマウントされている。

【0034】図4を用いて本発明の第2の実施の形態に係る半導体素子用パッケージの製造方法を説明する。

【0035】（イ） $12\mu\text{m}$ 厚みの銅箔21に、図4（a）に示すようにセラミックス基板と電氣的接続を必要とする部分に、銀エポキシ系導体ペーストを塗布および乾燥し、 $80\mu\text{m}$ 高さからなる銀バンパ（突起バンパ）21を形成する。

【0036】（ロ）次にバイアホール金属12および下部配線層25を設けたセラミックス基板11を用意する。下部配線層25は予め同時焼成を用いた厚膜技術により厚さ $10\sim 30\mu\text{m}$ で形成しておけばよい。すなわち、セラミックス基板11上に金属粉末と焼結助剤粉末をバインダー練り合わせたペーストをスクリーン印刷により塗布して同時焼成すればよい。下部配線層25としては、グランド面、電源線あるいは信号線等、設計仕様に応じて可能であることはいうまでもない。そして図4（b）に示すように、銅箔21を $35\mu\text{m}$ 厚みの液晶ポリマー23を介してこのセラミックス基板11に重ね、所定の温度と圧力をかけ接着する。すると、銅箔21に形成した銀バンパ22は、図4（c）に示すように液晶ポリマー23を貫通し、裏側まで突出することによりセ

ラミックス基板11上に設けたバイアホール金属12と電氣的に接続する。その後、銅箔21の不要部分をエッチングにより除去し上部配線層26を形成する。この場合、上部配線層26に使用する配線ルールとしては配線幅 $150\mu\text{m}$ 、クリアランス $70\mu\text{m}$ 等が選択できる。すなわち、配線に必要な部分のみにレジストをコーティングし、レジストをマスクとして酸化第2鉄により不要な銅箔21の部分をエッチングにより除去すれば上部配線層26がパターンニングされる。最後に半導体チップをマウントするための窓部を液晶ポリマー23中に開孔すれば、本発明の第2の実施の形態に係る複合パッケージが完成する。

【0037】得られた複合パッケージは、電氣的にオープンおよびショートのない良好な配線層を有しており、パッケージコーナー間の反りについても $50\mu\text{m}$ と良好な物であった。また、下部配線層25をグランド面として用いることにより、特性インピーダンスを 50Ω に制御することが可能であった。パッケージの熱特性についても、消費電力 5W において、熱抵抗 $10^\circ\text{C}/\text{W}$ が得られた。

【0038】ここで液晶ポリマー23とセラミックス基板11との接着は熱と圧力により実施したが、接着剤により実施しても良好となる。

【0039】（第3の実施の形態）図5は本発明の第3の実施の形態に係る半導体素子用パッケージの模式的断面図を示す。図5に示すように本発明の第3の実施の形態に係る半導体素子用パッケージは樹脂基板10とセラミックス基板11とを接合させた樹脂・セラミックス複合半導体素子用パッケージであって、片面にのみ銅箔からなる上部配線層26を形成した樹脂基板10を、バイアホール金属12および下部配線層27を有するセラミックス基板11に接着させて構成されている。樹脂基板10の表面の上部配線層26とバイアホール金属12とは液晶ポリマー23を貫通して設けられた銀バンパ（突起バンパ）22により互いに電氣的に接続されている。つまり銀バンパ22とバイアホール金属12とは直接、互いに接している。樹脂基板10の中央に設けられた窓部にはセラミックス基板11に直接接するように半導体チップ1がマウントされている。微細配線27はスパッタリングにより形成した厚さ $5\mu\text{m}$ 、配線幅 $10\mu\text{m}$ 、クリアランス $40\mu\text{m}$ の薄膜をフォトリソグラフィでパターンニングし、その表面にメッキ層を施した配線である。微細配線27用の薄膜は真空蒸着法、MBE法、あるいはCVD法等を用いて形成してもよい。また、微細配線27のかわりに、グランド面又は電源面としてもよいことはもちろんである。

【0040】本発明の第3の実施形態に係る半導体素子用パッケージは、電氣的にオープンおよびショートのない良好な配線層を有しており、パッケージコーナー間の反りについても $50\mu\text{m}$ と良好であった。本発明の第3

の実施の形態に係る半導体素子用パッケージの製造方法はセラミックス基板上にいわゆる薄膜技術で、微細な配線を形成する点を除けば、厚膜技術を用いた第2の実施の形態と同様であるので説明を省略する。このような微細配線により、フリップチップを搭載することが可能である。パッケージの熱特性についても、消費電力5Wにおいて、熱抵抗 $10^{\circ}\text{C}/\text{W}$ が得られた。

【0041】ここで液晶ポリマー23とセラミックス基板との接着は熱と圧力により実施したが、接着剤により実施しても良好となる。

【0042】上記のように、本発明は第1乃至第3の実施の形態によって記載したが、この開示の一部をなす論述及び図面はこの発明を限定するものであると理解すべきではない。この開示から当業者には様々な代替実施の形態、実施例及び運用技術が明らかとなろう。このように、本発明はここでは記載していない様々な実施の形態等を包含するということを理解すべきである。したがって、本発明はこの開示から妥当な特許請求の範囲の発明特定事項によってのみ限定されるものである。

【0043】

【発明の効果】以上説明したように、一枚の樹脂フィルムの厚さの薄い、複合構造の半導体素子用パッケージを提供でき、その工業的価値は極めて大である。

【図面の簡単な説明】

【図1】本発明の第1の実施の形態に係る半導体素子用パッケージの模式的な断面図である。

【図2】本発明の第1の実施の形態に係る半導体素子用パッケージの製造方法を説明する工程断面である。

【図3】本発明の第2の実施の形態に係る半導体素子用パッケージの模式的な断面図である。

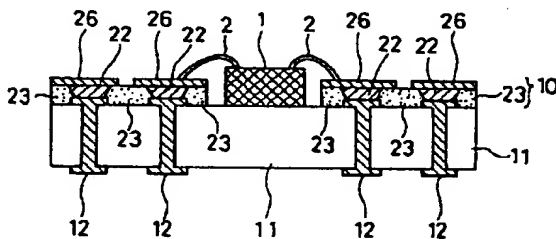
【図4】本発明の第2の実施の形態に係る半導体素子用パッケージの製造方法を説明する工程断面である。

【図5】本発明の第3の実施の形態に係る半導体素子用パッケージの模式的な断面図である。

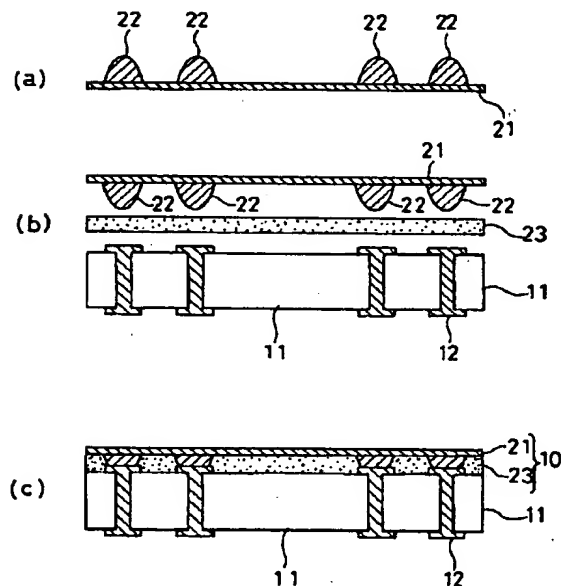
【符号の説明】

- 1 半導体チップ
- 2 ボンディングワイヤ
- 10 樹脂基板
- 11 セラミックス基板
- 12 バイアホール金属
- 21 銅箔
- 22 銀バンプ（突起バンプ）
- 23 液晶ポリマー
- 25 下部配線層
- 26 上部配線層
- 27 微細配線層

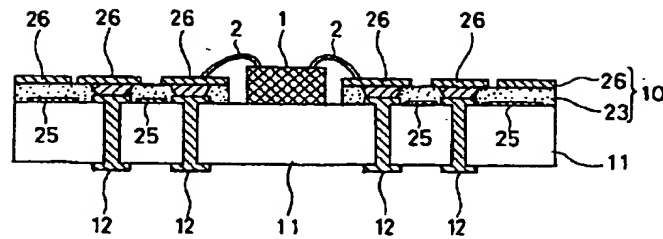
【図1】



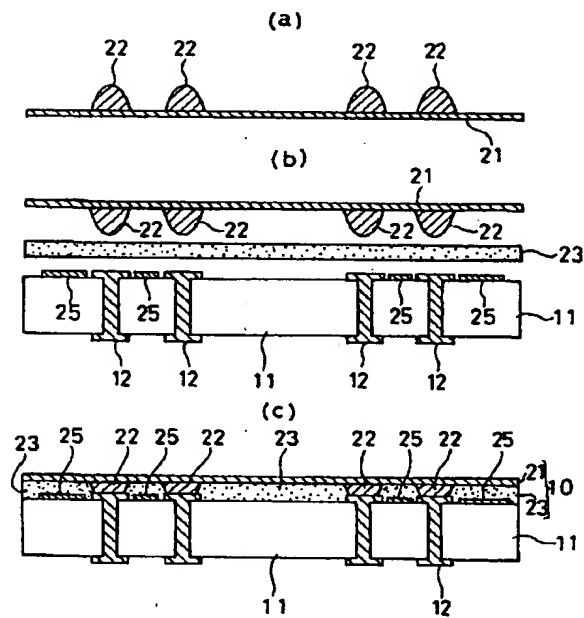
【図2】



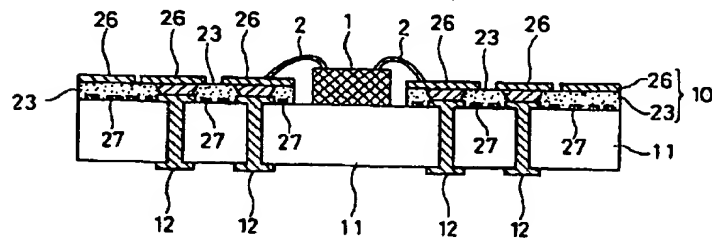
【図3】



【図4】



【図5】



フロントページの続き

(72)発明者 岩瀬 暢男

神奈川県横浜市鶴見区末広町2丁目4番地

株式会社東芝京浜事業所内